



Etat des TCC

**Électronique hors détecteur (OD)
du calorimètre électromagnétique (ECAL)
de l'expérience CMS (CERN)**

Electroniciers : M. Bercher, Y. Geerebaert, A. Karar, L. Zlatevski + N. Cardoso

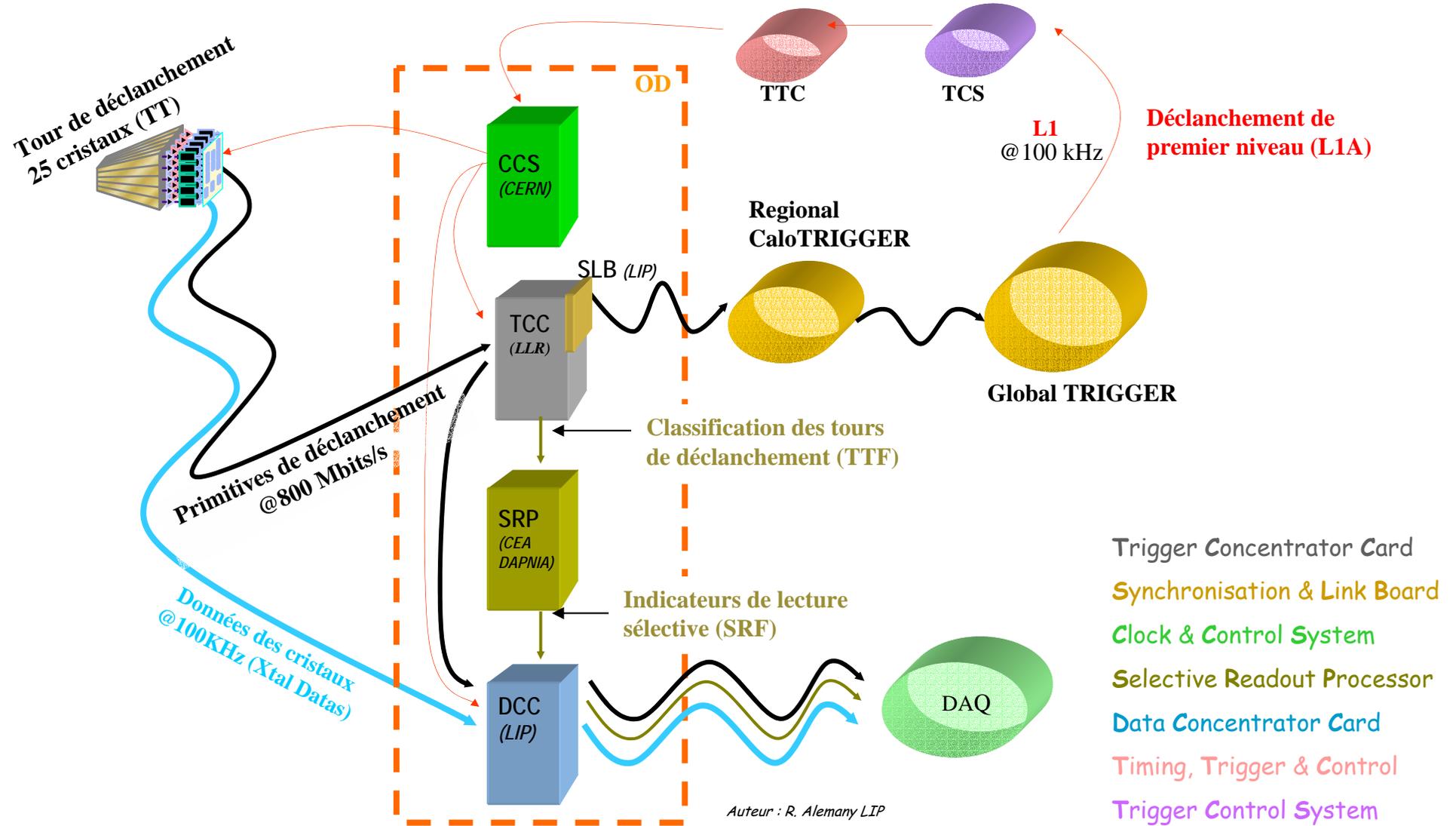
Physiciens : P. Busson, P. Paganini



- ◆ **Qu'est-ce qu'une TCC ?**
- ◆ **Réalisation et tests d'un prototype 24 voies**
- ◆ **Conception de la version 68 voies**

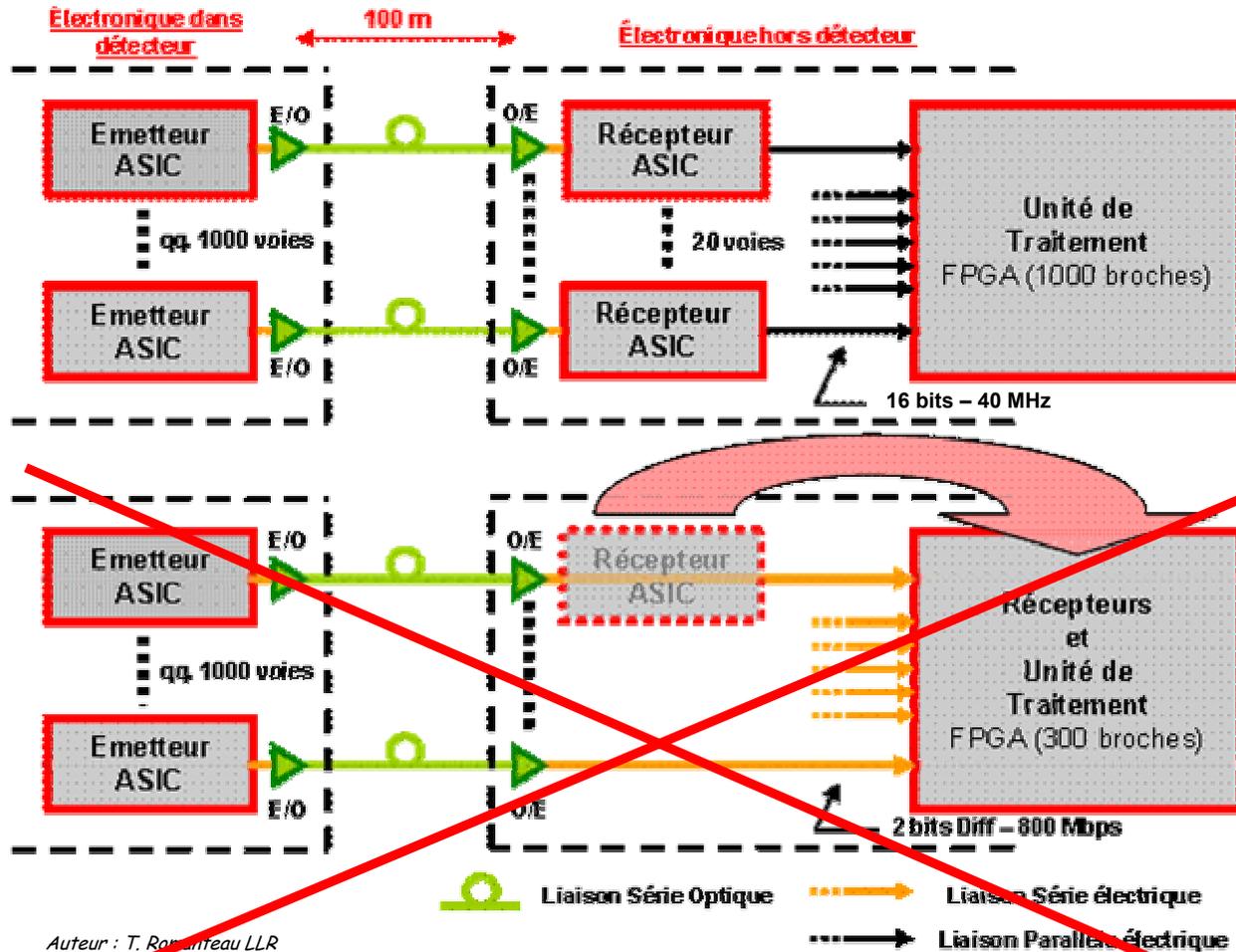


Environnement de la carte TCC





Réception série : solutions comparées



Auteur : T. Rouanreau LLR

Composant Récepteur

Avantages:

Faible latence ~ 3 périodes

Inconvénients:

- Nombre de composants
- Consommation électrique
- Coût

Récepteur intégré au FPGA

Avantages:

- Nombre de composants
- Consommation électrique
- Coût

Inconvénients:

latence élevée ~ 25 (9) périodes



Composition de la carte TCC68



Carte VME 9U (2 slots)

68 entrées optique @ 800 Mb/s
= un supermodule (68 TT)

9 cartes filles SLB

6 récepteurs optiques 12 voies

72 désérialiseurs faible latence

6 FPGA (957 broches)

1 FPGA avec sérialiseur intégré

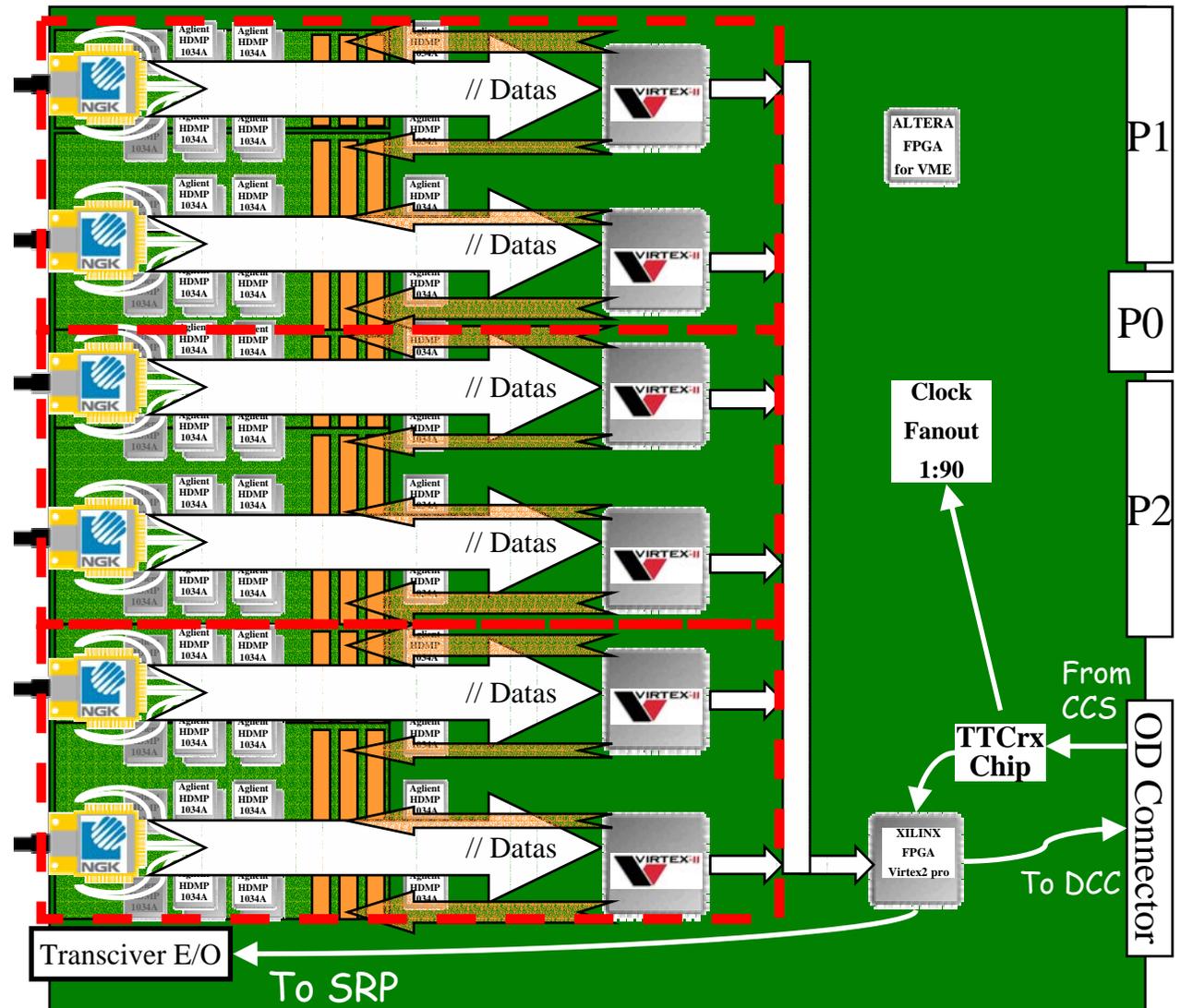
1 circuit TTCrx (interface CCS)

Circuits de distribution d'horloge

1 FPGA (VME64x «plug & play»)

Principaux problèmes :

Densité d'interconnexions,
consommation électrique (~130W),
distribution d'horloge « propre ».





Composition de la carte TCC24



Carte VME 6U (2 slots)

24 entrées optique @ 800 Mb/s

3 cartes filles SLB

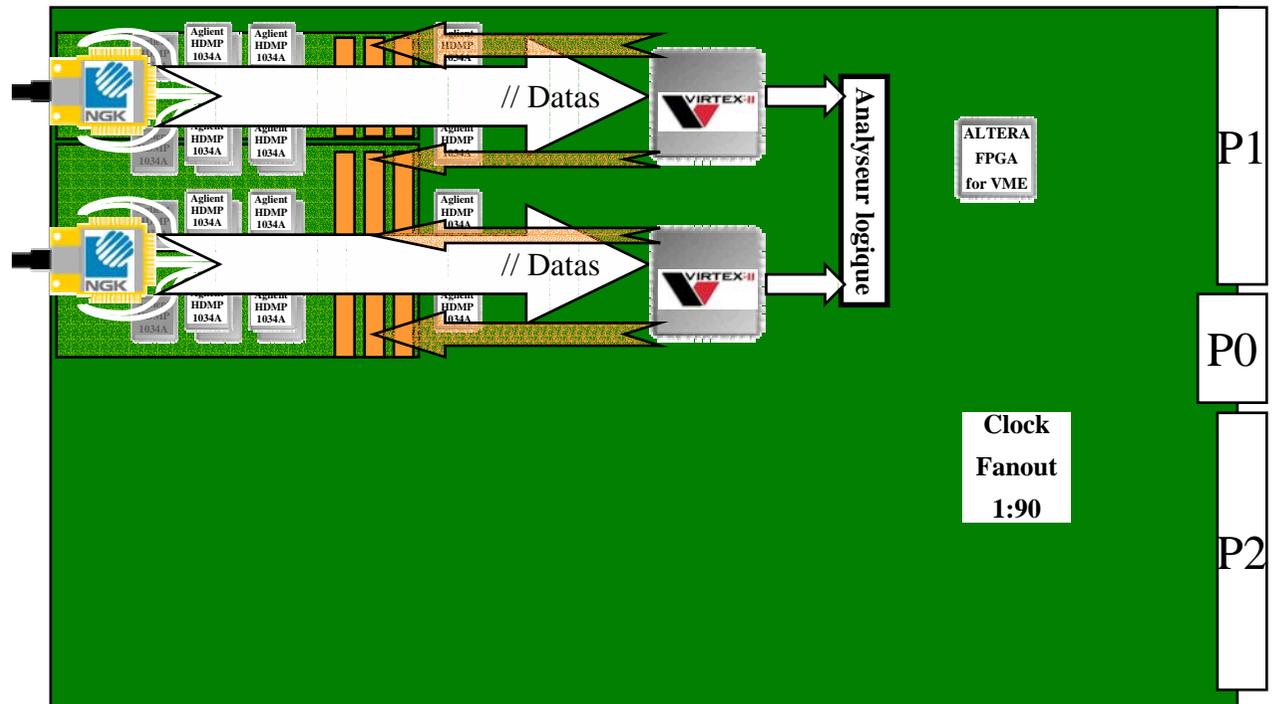
2 récepteurs optiques 12 voies

24 désérialiseurs faible latence

2 FPGA (957 broches)

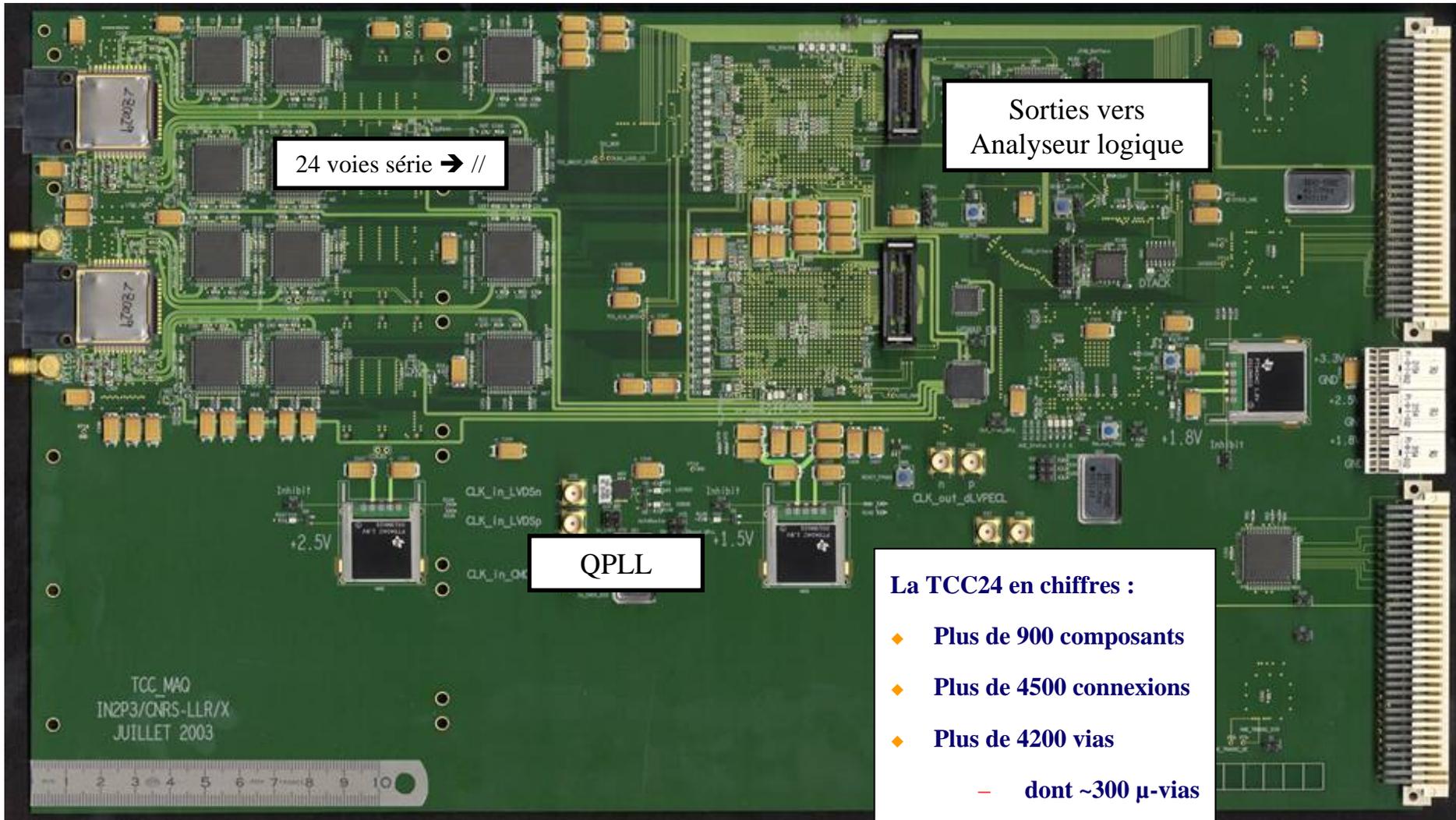
Circuits de distribution d'horloge

1 FPGA (interface VME64x)





TCC24 (Trigger Concentrator Card 24 channels)





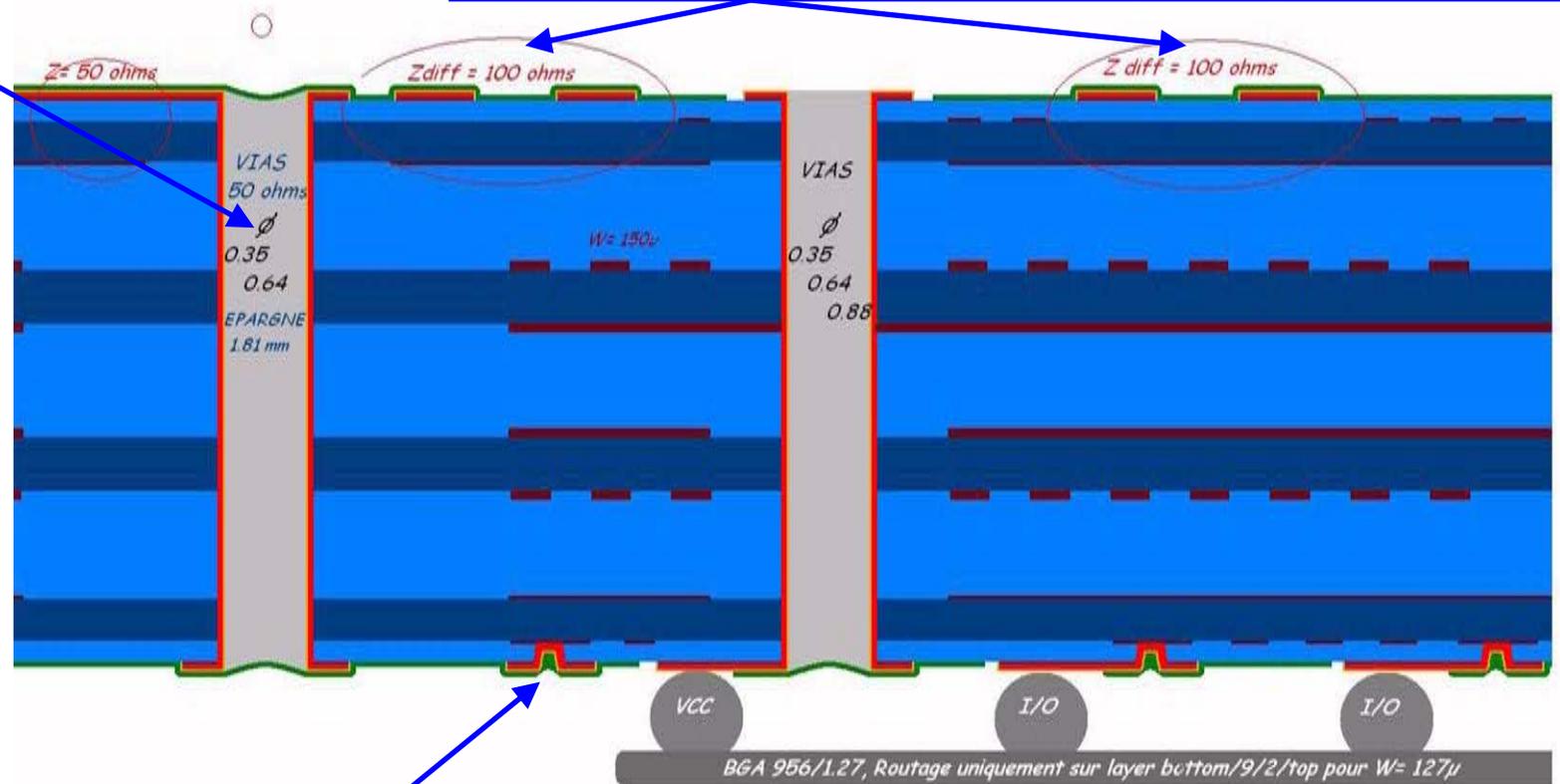
Vue en coupe du circuit imprimé (PCB) de la TCC



via adapté en impédance (50 ohms)

- ◆ PCB 10 couches
- ◆ Classe 6 (120 μ m)
- ◆ μ -vias laser
- ◆ Vias adaptés 50 Ω
- ◆ 366 x 400 mm
- ◆ Épaisseur : 2mm
- ◆ Isolant HTG 180°

Lignes différentielles pour signaux rapides (800 Mb/s)



μ -via percé au laser (120 μ m)

Composant BGA 957 pins



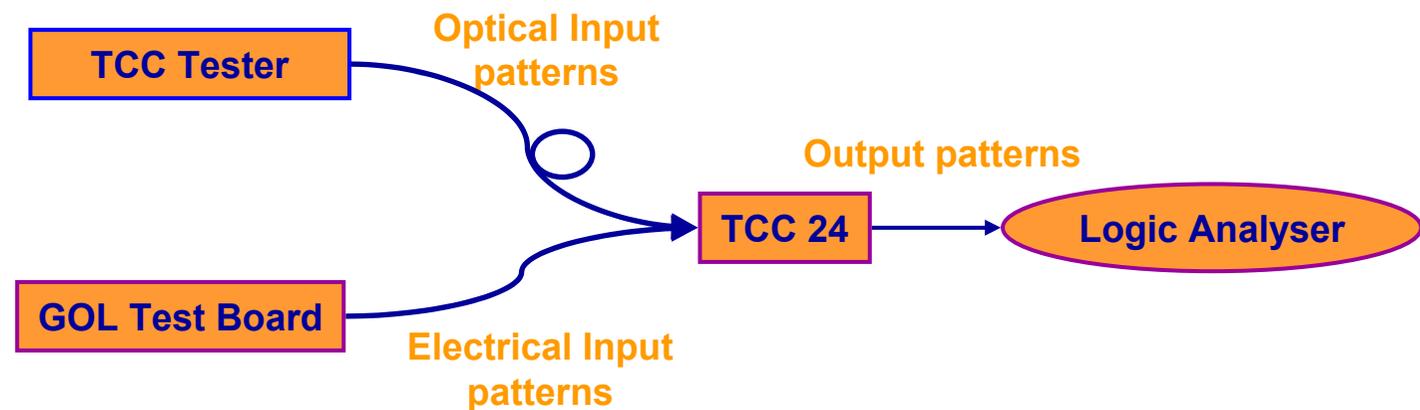
Test de la carte TCC24

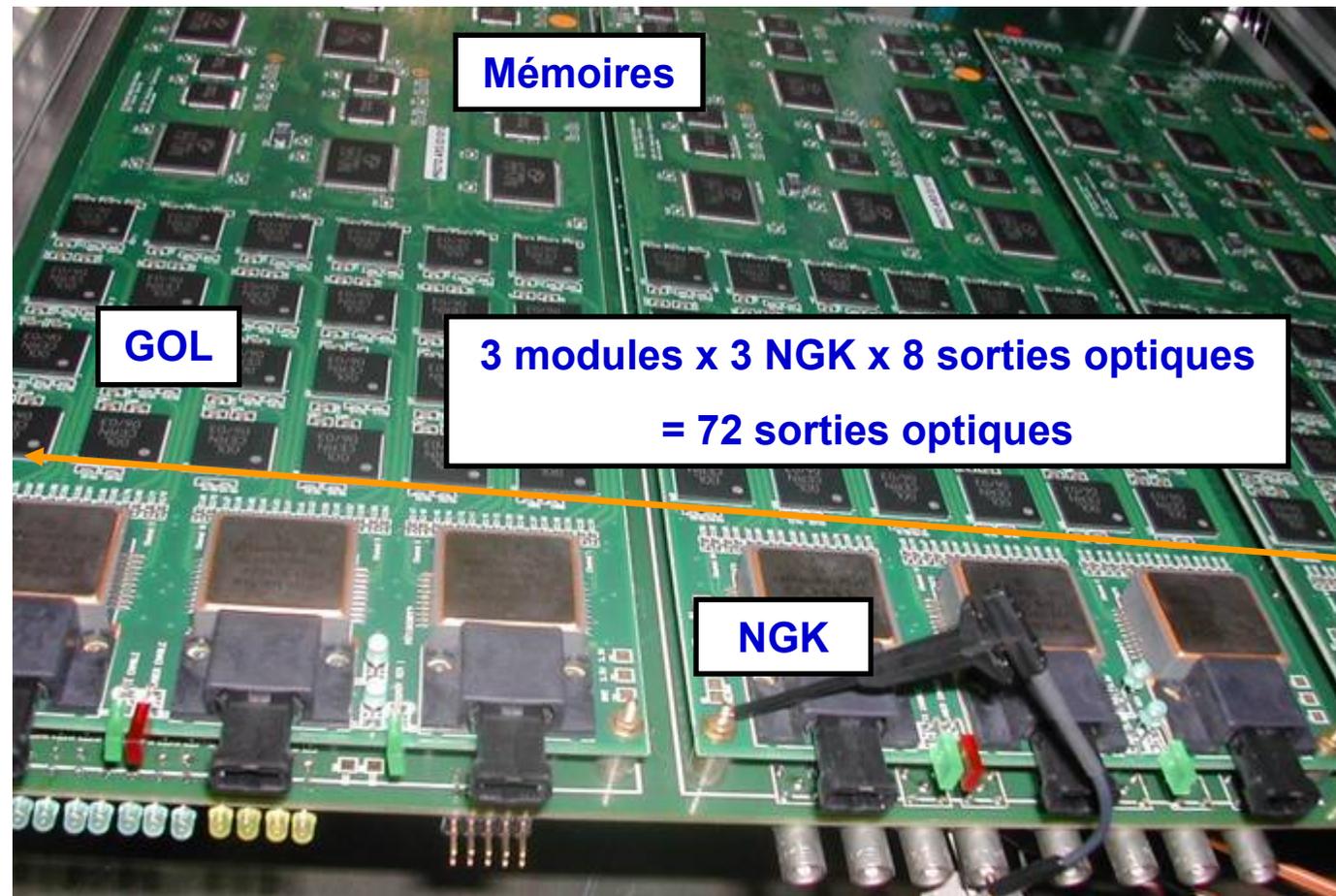


◆ Tests effectués :

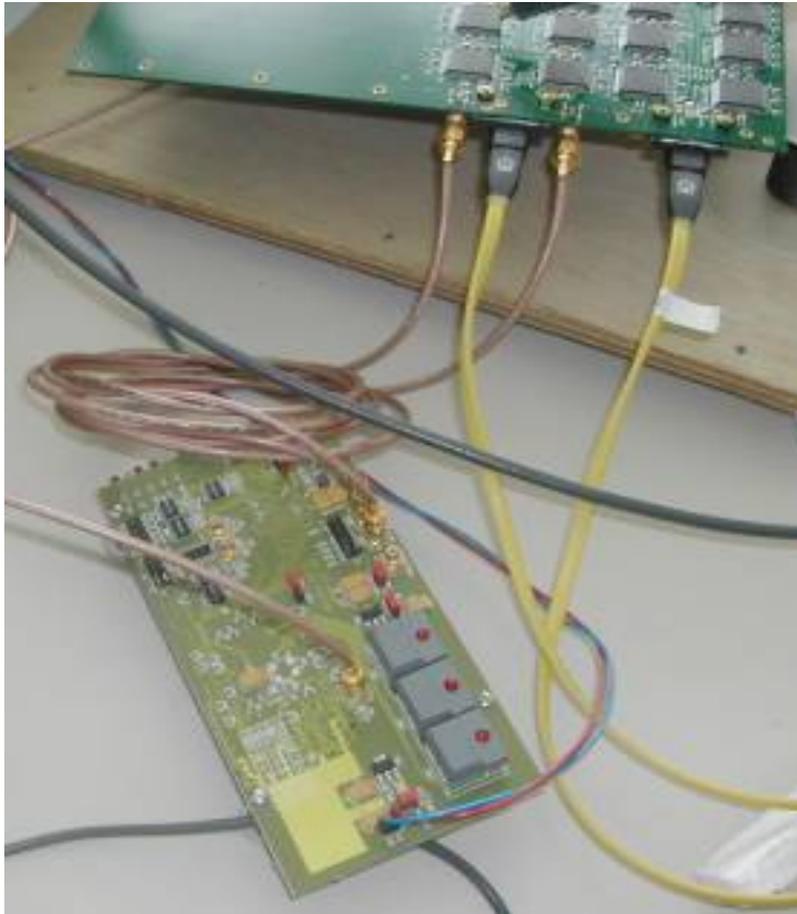
- Mesure de la consommation électrique
- Mesure de la latence
- Mesure du taux d'erreur binaire (BER)
 - Mesure directe
 - Evaluation à partir de la gigue
 - Evaluation à partir du diagramme de l'œil

Basic Synoptic :



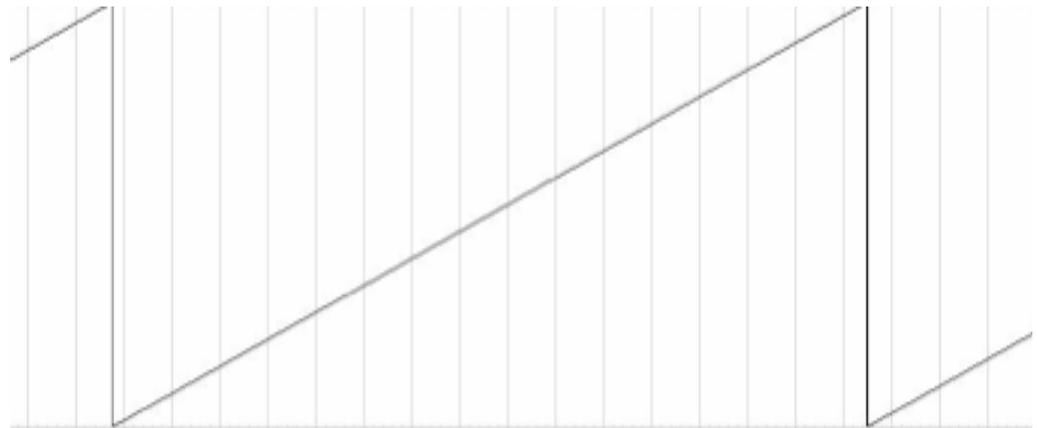


- TCC Tester = clone de la DCC-Tester (LIP)
- Transmet des données séries chargées en mémoire
- En cours de programmation (Nuno Cardoso) pour simuler 72 voies de l'électronique frontale



Carte de test GOL

- Génère un compteur 16 bits
- Les données sont émises par un GOL sur une ligne LVDS à 800Mb/s





Matériel du banc de test TCC24



Matériel utilisé :

1. Oscilloscope numérique
LeCroy Wavemaster 8600A,
bande passante : 6 GHz,
échantillonnage : 20 GS/s

2. Convertisseur O/E OE455,
bande passante 3.5 GHz,
 $\lambda = 950 - 1630 \text{ nm}$

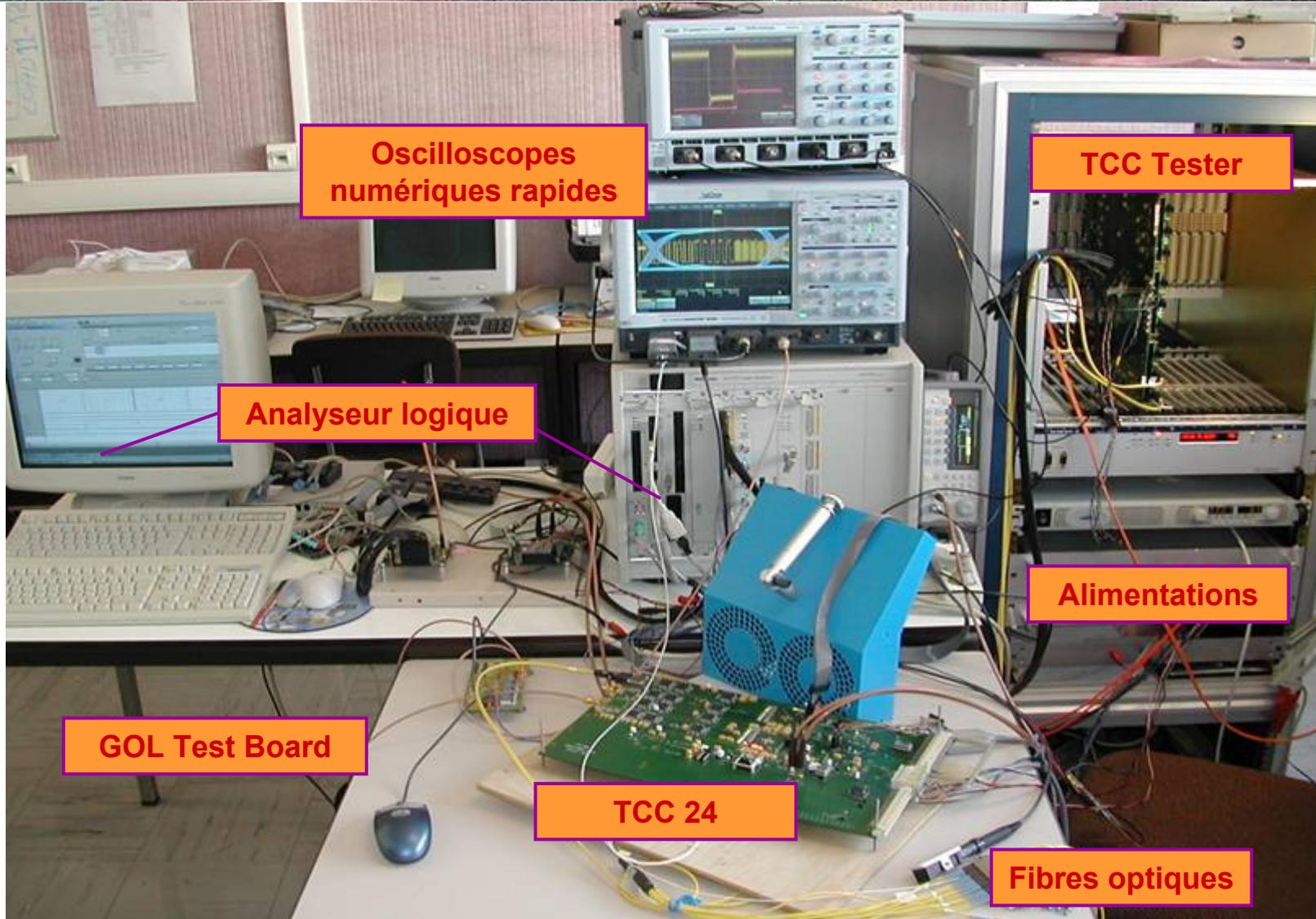
3. Sonde différentielle active
D300, bande passante 4 GHz

Merci beaucoup à LeCroy qui nous ont
gracieusement prêté le matériel le temps
des tests.





Banc de test TCC24





Mesure de consommation électrique



component	TCC 24						TCC68				
	Voltage	current (A)					current (A)				
		1,5	1,8	2,5	3,3	5	1,5	1,8	2,5	3,3	5
NGK					0,81					2,43	
HDMP-1034A					5,76					17,28	
FPGA XC2V2000		0,8			0,2		2,4			0,6	
FPGA Virtex2pro		X		X			0,5		?		
Sytem ACE			2		?			2		?	
SLB				0,6	4,5				1,8	13,5	
Buffer tri-state VME					0,15					0,15	
Mémoire de config.					?					?	
HFBR-5710L					X					0,44	
altera VME					0,1					0,1	
QPLL					?					?	
NB100LVEP224					0,2					0,2	
MC100EPT26DT					0,14					0,42	
total (A)		1,3	2	0,6	11,86	0	2,9	2	1,8	35,12	0
total (watts)		46,914					128,346				

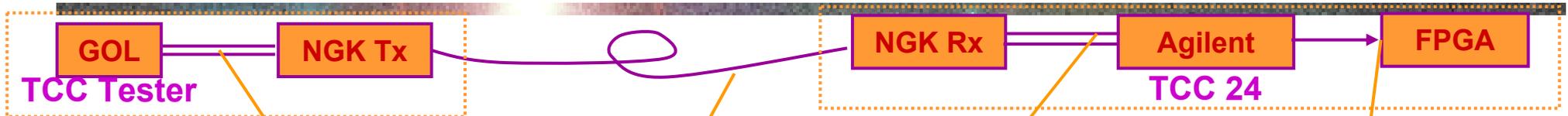
Estimation TCC 24 : **11.86 A @ 3.3V** avec 3 SLBs
 sans SLB = **7.36 A**
 Mesure TCC 24 : **7.3 A**



PCB dimensionné pour la
 consommation de la TCC68.
 Remplit les spécifications des
 châssis OD ECAL



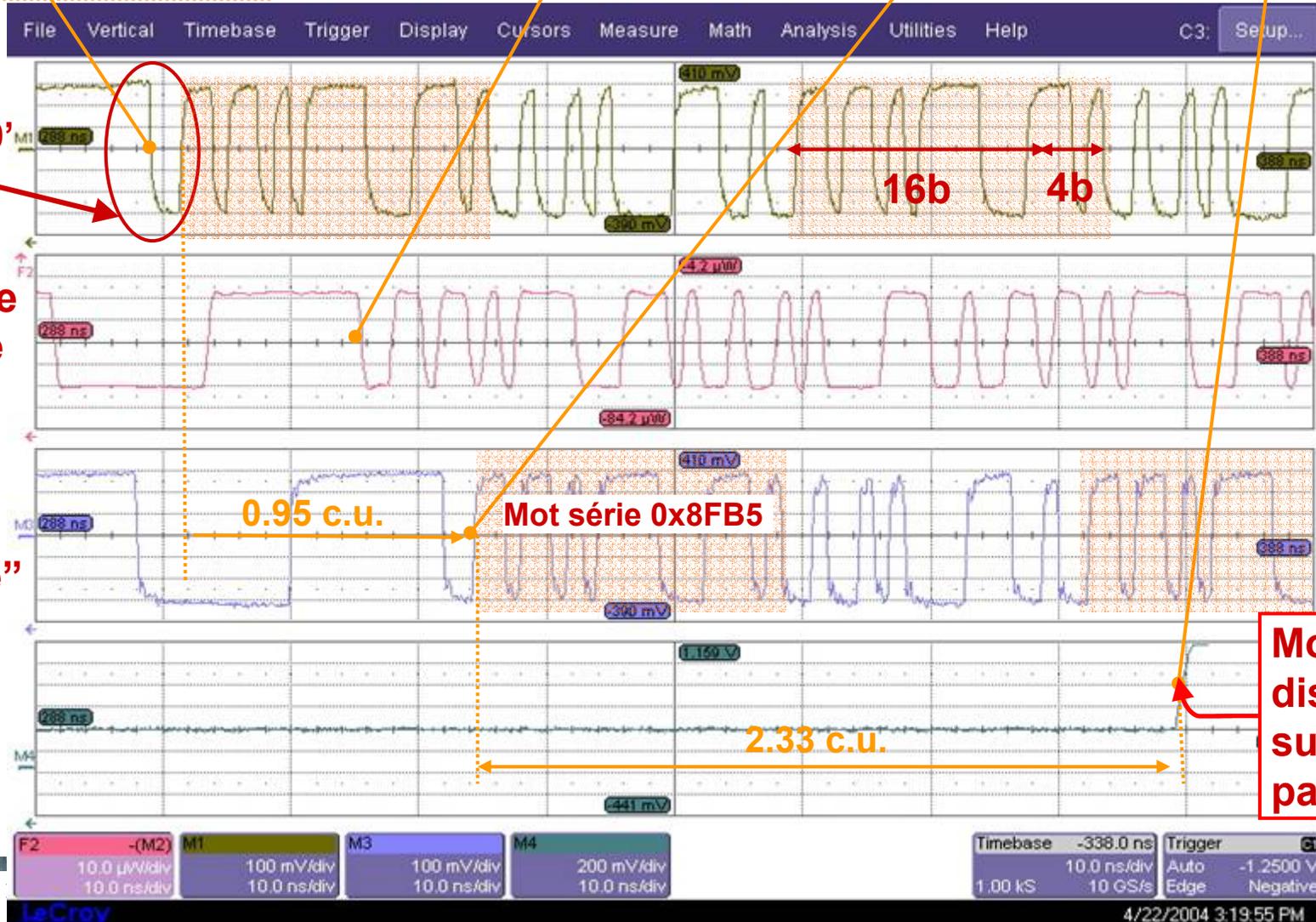
Mesure de la latence des liens série (1)



Master transition (CIMT): '1100'

Signal sur le lien optique

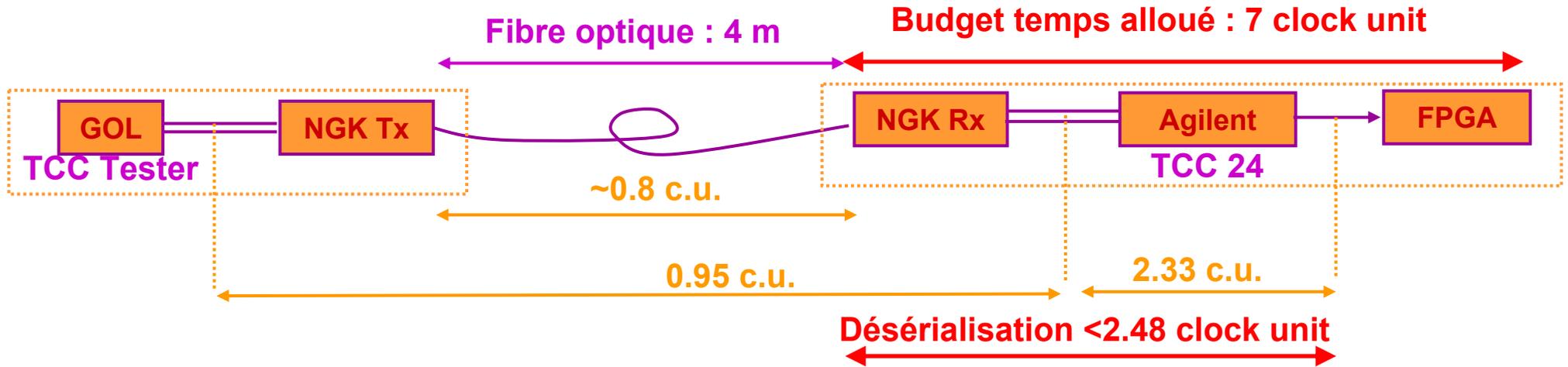
Signal reçu très "propre"



Mot 0x8FB5 disponible sur le bus parallèle



Mesure de la latence des liens série (2)



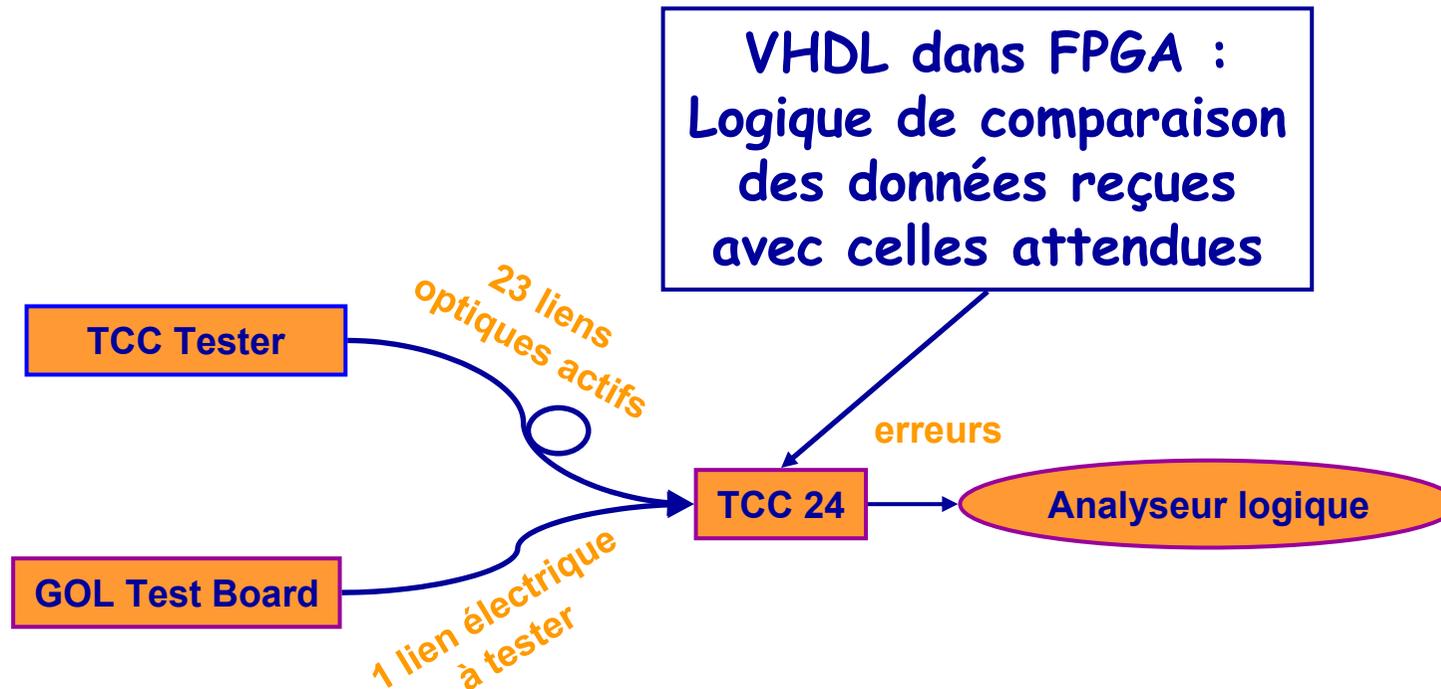
Latence TCC:

Latence conversion série-parallèle: ~2,5 périodes d'horloge
 + re-synchronisation sur l'horloge LHC = 3 (4) périodes d'horloge
 - Budget temps alloué 7 périodes d'horloge

Reste pour le traitement dans le FPGA 4 (3) périodes d'horloge
 (estimation : 2)



Mesure du taux d'erreur binaire (BER)



A fonctionné en continu à 800Mb/S pendant 145 Heures sans erreur :
BER < $3 \cdot 10^{-15}$ (moins d'une erreur toutes les 1'35" dans CMS)
(avec 5464 liens optiques actifs)

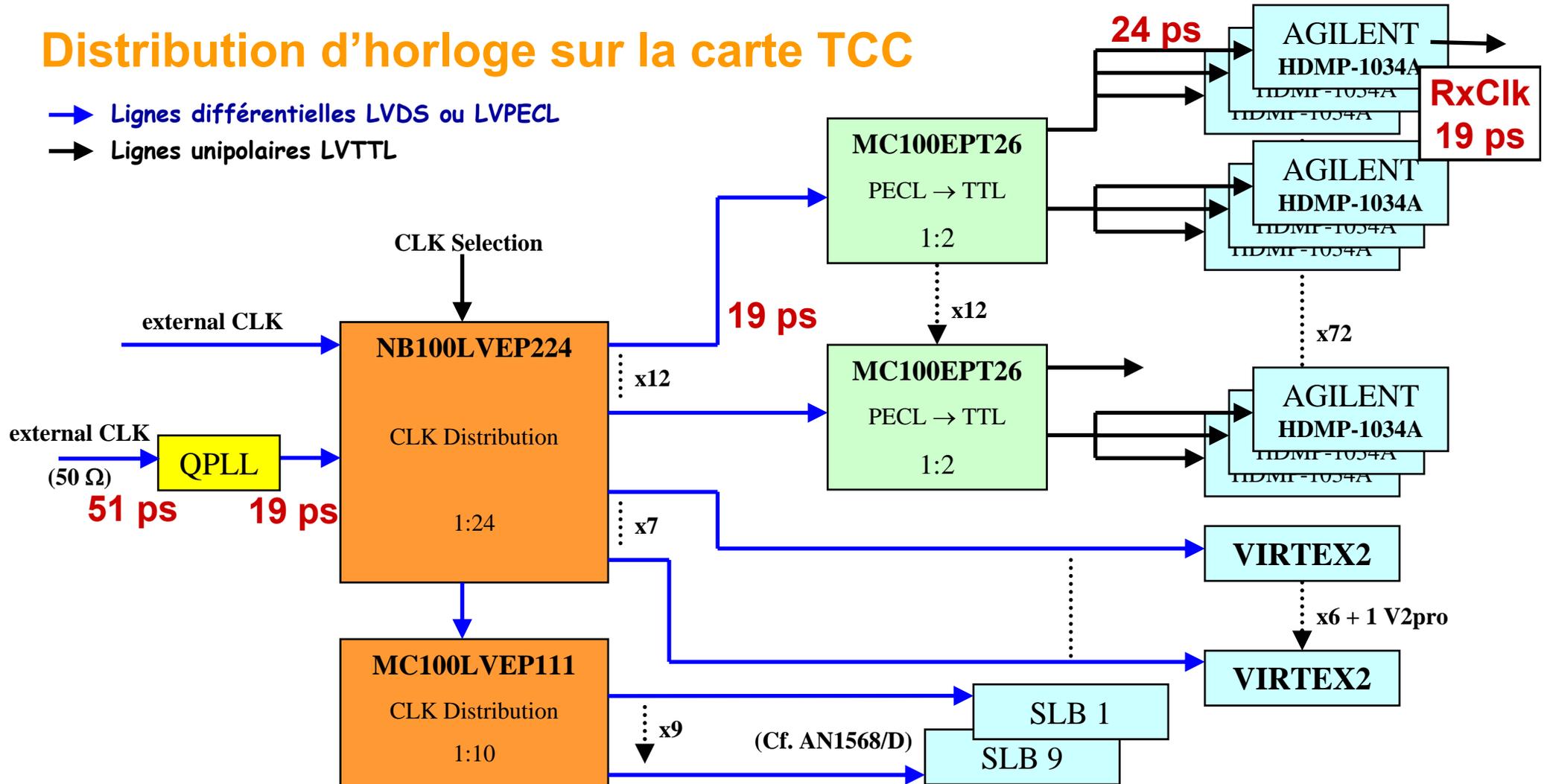


Estimation du BER par la gigue d'horloge (1)

LLR

Distribution d'horloge sur la carte TCC

- Lignes différentielles LVDS ou LVPECL
- Lignes unipolaires LVTTTL



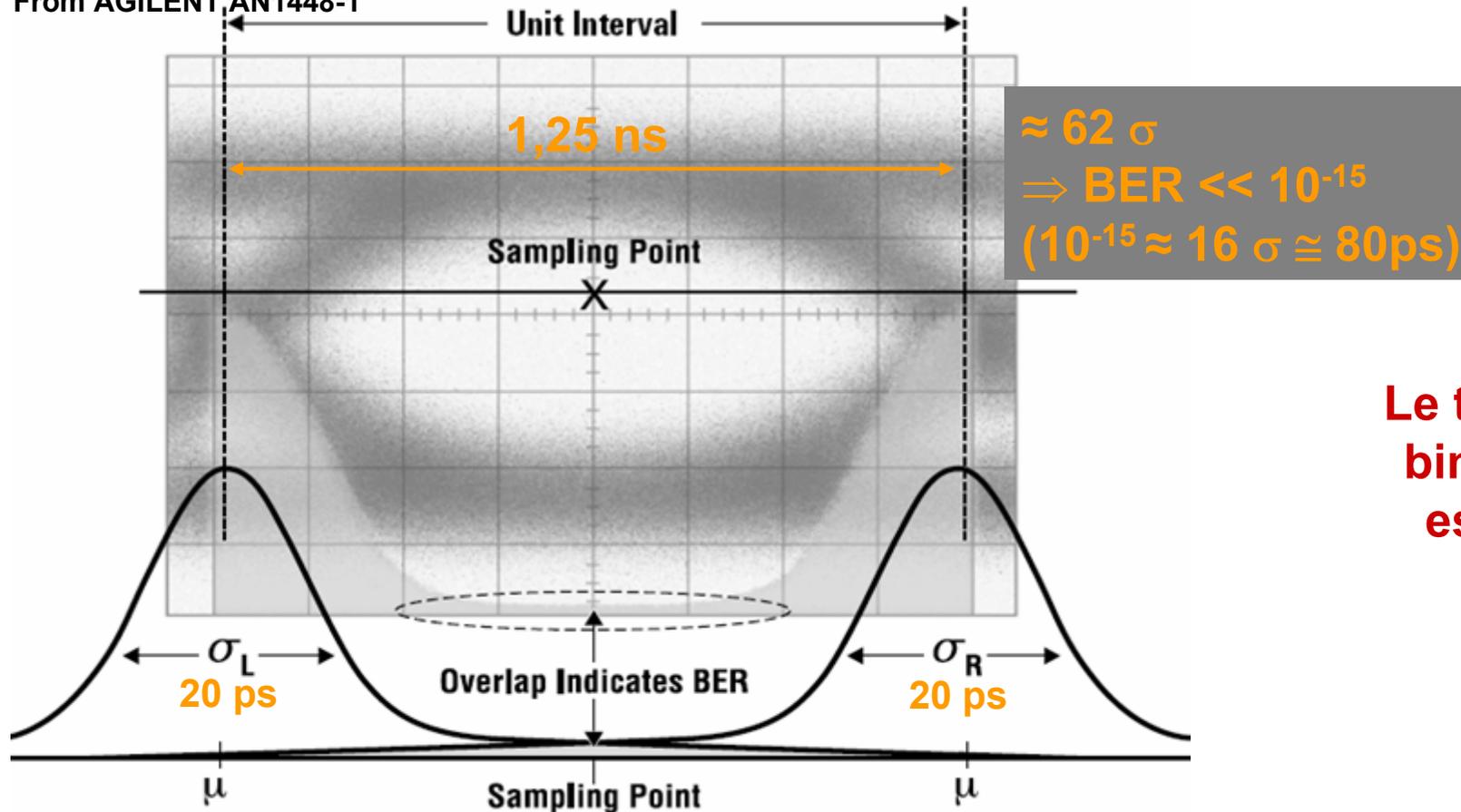


Estimation du BER par la gigue d'horloge (2)



Gigue sur l'horloge récupérée des données (RxClk) très faible ~20 ps

From AGILENT AN1448-1



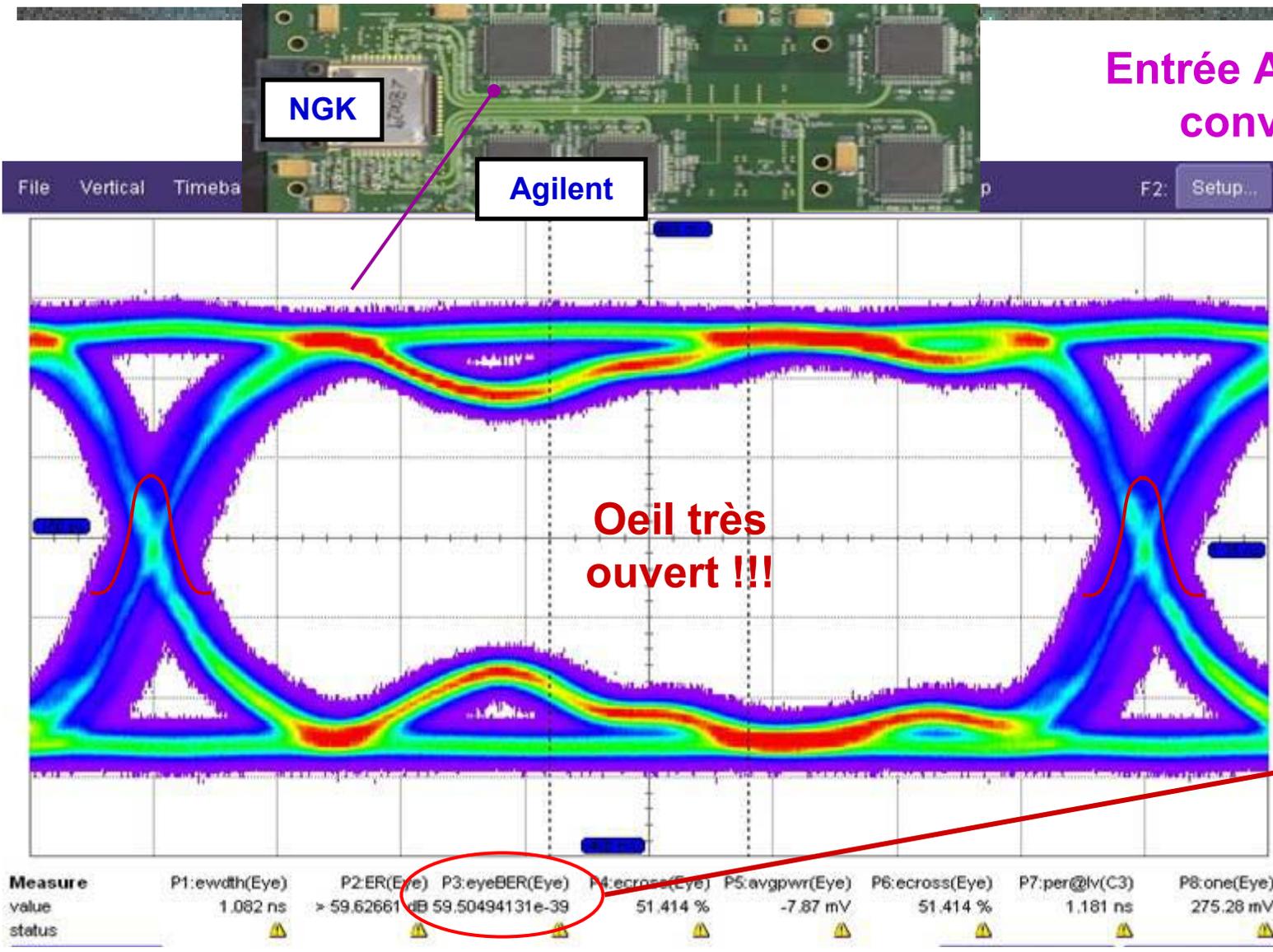
Le taux d'erreur binaire estimé est très bas.



Estimation du BER par le diagramme de l'œil (1)



Entrée AGILENT après conversion O/E



Oeil très ouvert !!!

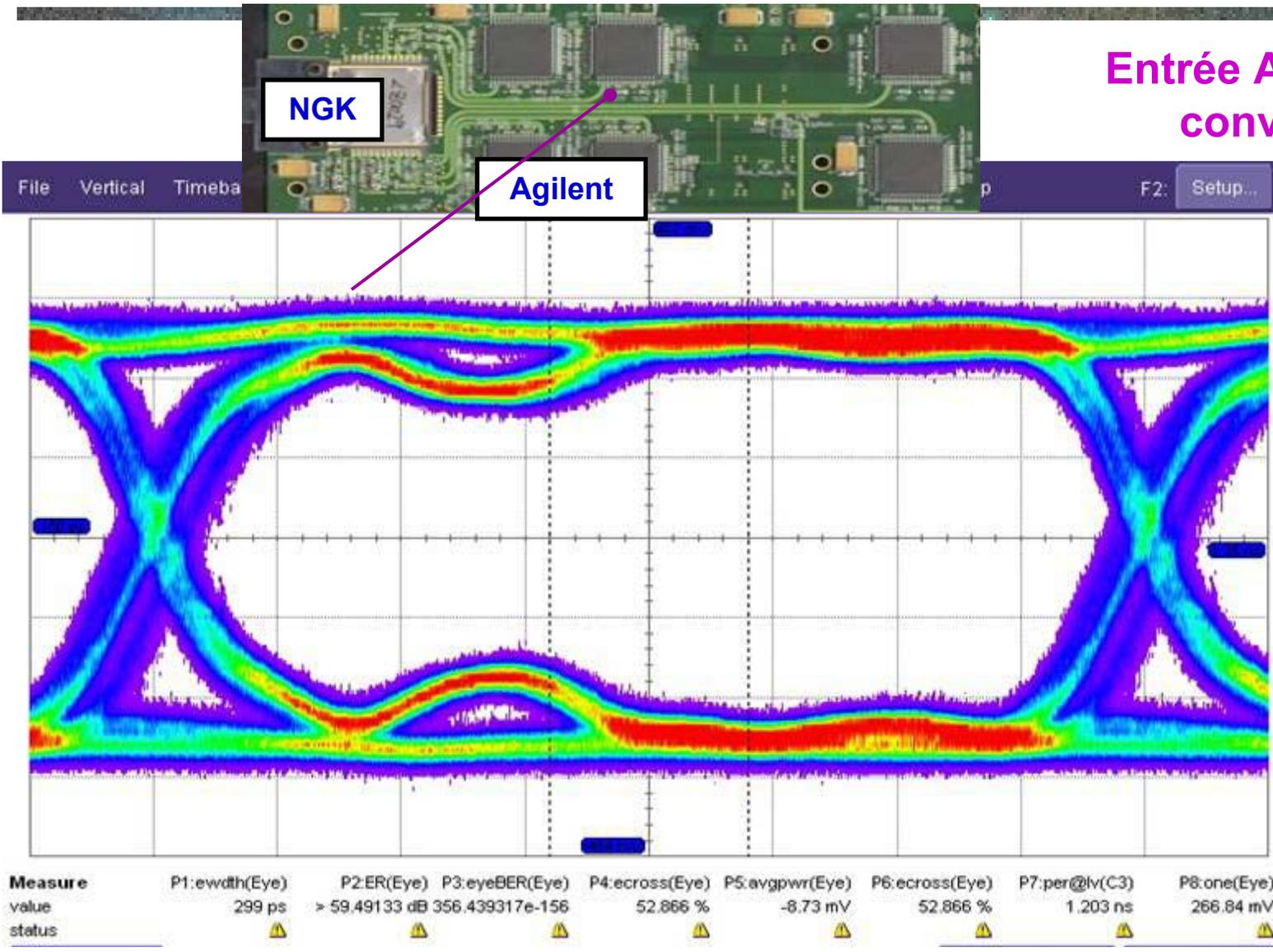
BER estimé par l'oscilloscope très bas!!



Estimation du BER par le diagramme de l'œil (2)



Entrée AGILENT après conversion O/E

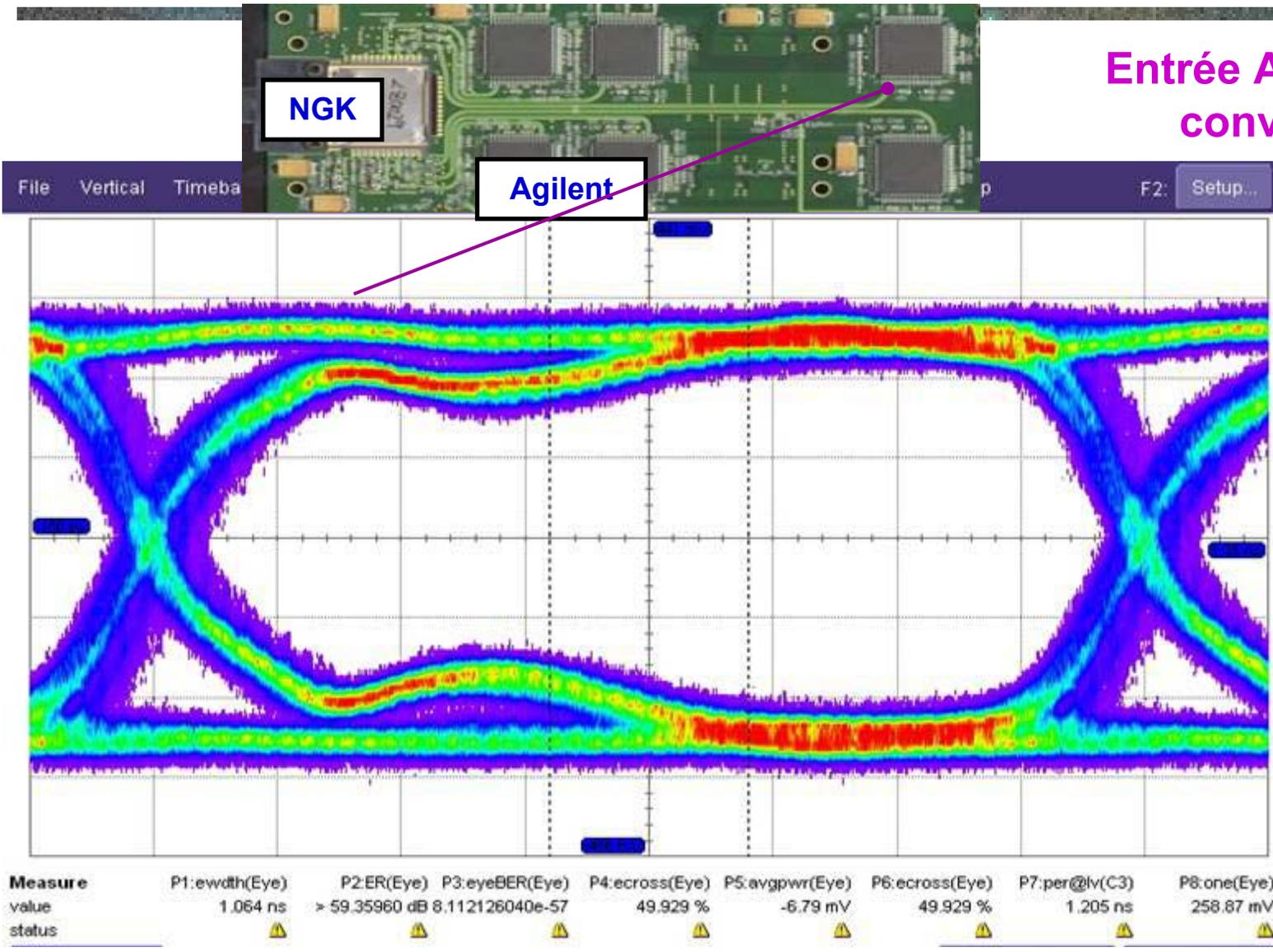




Estimation du BER par le diagramme de l'œil (3)



Entrée AGILENT après conversion O/E





Etat des TCC : Conclusion



- ◆ **Faible latence de la réception série**
- ◆ **Tests du prototype 24 voies : OK**
- ◆ **Conception de la version 68 voies**
- ◆ **Production et test de 42 cartes en 2005**